

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09069568 A

(43) Date of publication of application: 11 . 03 . 97

(51) Int. Cl.

H01L 21/82

H01L 27/04

H01L 21/822

(21) Application number: 07222290

(71) Applicant: NEC CORP

(22) Date of filing: 30 . 08 . 95

(72) Inventor: ITO, SOICHI

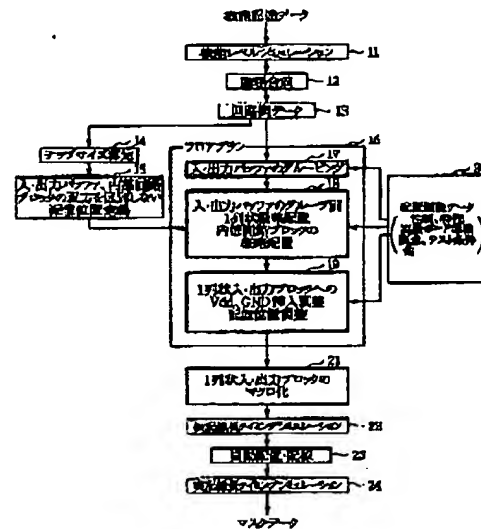
(54) METHOD FOR ARRANGING AND WIRING
FLIP-CHIP-TYPE SEMICONDUCTOR DEVICEeasily connecting a power supply wiring to the
input/output buffers.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To easily automate the ASIC design in flip-chip configuration by increasing the degree of freedom of the arrangement of input/output buffers without affecting the basic algorithm of an automatic arrangement wiring tool used for a conventional ASIC design.

SOLUTION: The arrangement position of an input/output buffer arrangement part and that of an internal circuit arrangement part are commonly defined without any distinction (processes 11-15). On the other hand, input/output buffers are arranged in one row (processes 17-18) and the power supply to them is separated into a plurality of electrically independent systems as needed so that they can be constantly kept (process 19), thus arranging the input/output buffers with an extremely high degree of freedom in a conventional automatic arrangement wiring program, extremely reducing the free region in a chip which is generated before, increasing the degree of chip designing freedom in terms of characteristics and performance including various environments on a packaging board, and further extremely



BEST AVAILABLE COPY

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-69568

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. ⁶	識別記号	序内整理番号	FI	技術表示箇所
H01L 21/82			H01L 21/82	D
27/04			27/04	E
21/822				

審査請求 有 請求項の数10 OL (全15頁)

(21)出願番号 特願平7-222290

(22)出願日 平成7年(1995)8月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 伊藤 荘一

東京都港区芝五丁目7番1号 日本電気株式会社内

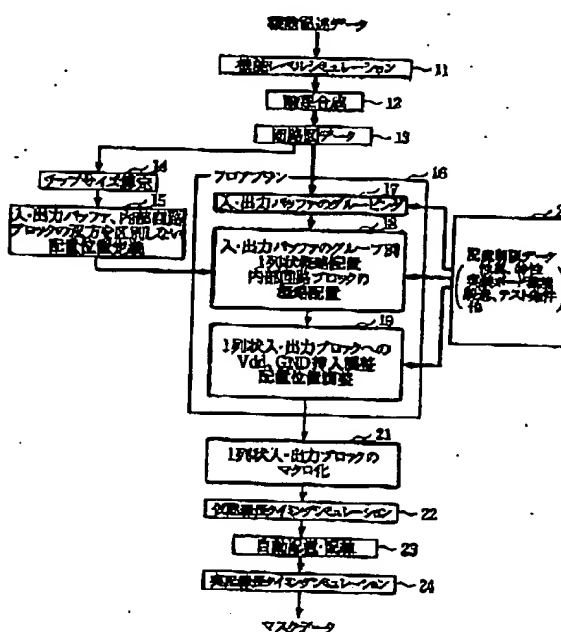
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 フリップチップ型半導体装置の配置配線方法

(57)【要約】

【課題】従来のASIC設計に用いられている自動配置配線ツールの基本的なアルゴリズムを損うことなく、入・出力バッファの配置の自由度を上げてフリップチップ構成のASIC設計自動化を容易にする。

【解決手段】入・出力バッファ配置部と内部回路配置部の配置位置定義を互いに区別せず共通のものとする(工程11~15)。一方、入・出力バッファは1列状に配置し(工程17~18)、さらに常時それがキープできるようにそこへの電源供給を必要に応じて電氣的に独立な複数の系に分離する(工程19)。これにより、従来の自動配置配線プログラムにて極めて自由度の高い入・出力バッファの配置が可能になり、従来生じていたチップ内の空き領域が激減できる他、実装ボード上の諸環境を含めた特性、性能上のチップ設計自由度を高めることができ、さらに入・出力バッファへの電源配線接続も極めて簡易に行なえる。



1

【特許請求の範囲】

【請求項1】 テスト時に信号の入・出力に使用するテストパッド群とそのテストパッドの上またはその近辺に配置され外部への入力出力端子となるチップ端子群とこれらテストパッドおよびチップ端子を介して外部との信号のやり取りをインタフェースする入・出力バッファ群とこれらの入力バッファから供給される信号に応じて所定の回路動作をする内部回路ブロック群とを含んだ半導体チップを設計する自動配置配線時に、前記入・出力バッファ群および前記内部回路ブロック群の配置領域を区別せずに配置するように定義する配置位置決定処理の結果に基づき、自動配置配線設計処理における前記チップ内の任意の領域に前記内部回路ブロック群および前記入・出力バッファ群を配置配線するとともに、前記入・出力バッファは前記任意の位置で所定のグループごとに前記チップのいずれかの辺に平行で1列状に配列された状態になるように配置されるフロアプラン作成処理を含むことを特徴とするフリップチップ型半導体装置の配置配線方法。

【請求項2】 前記配置位置決定処理および前記フロアプラン作成処理は、前記入・出力バッファ群を電気的に独立した複数組の電源線に対応させてあらかじめ前記複数組のグループに分けるバッファ分割工程と、前記入・出力バッファ群および前記内部回路ブロック群の両方を区別せず共通に前記チップ面上に配置するためのブロック配置位置の定義を行なう配置位置定義工程と、前記グループ内の入・出力バッファ群が、自動配置配線設計処理における前記チップの一方辺に平行な主軸または他方辺に平行な副軸のそれぞれの方向に沿った任意の位置に、1列状の配列をなすように前記配置位置定義を用いて概略配置される概略配置工程と、前記1列状の配列が前記チップの1辺長の範囲内を越えるときは、前記グループ分けをさらに細分化することによってそのいずれかの1列状のグループに全ての前記入・出力バッファが分散されて属するように配置調整を行なう再配置工程と、前記再配置調整された1列状のグループのそれぞれに属する前記入・出力バッファに対して、1対の電源線からなる電気的に独立した前記複数組の電源供給線のいずれかをそれぞれ配線接続する電源配線工程と、前記再配置調整された1列状のグループのそれぞれに属する前記入・出力バッファの配置データを用いて前記チップ全体の自動配置配線を行なう全体配置配線工程とを含む請求項1記載のフリップチップ型半導体装置の配置配線方法。

【請求項3】 前記再配置工程は、前記1対の電源線に接続される少なくとも1対の電源供給用テストパッドまたはこのテストパッドおよびチップ端子のいずれかが、前記1列状のグループごとに前記入・出力バッファ群の再配置調整によってそれぞれ挿入配置されるとともに、この挿入配置によって前記1列状の配列が前記チップの1辺の範囲内を越えるときは、前記グループ分けをさら

(2)

特開平9-69568

2

に細分化することによってこれらのグループのいずれかに全ての前記入・出力バッファがそれぞれ分散されて属するように再配置調整を行なう工程を含む請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【請求項4】 前記自動配置配線処理をするときに、前記再配置調整を行なうことによって前記1対の電源線とこれら電源線に接続される少なくとも1対の電源供給用チップ端子とを含んだ前記1列状に配列された入・出力バッファ群のグループを、それぞれのグループごとに1つのマクロとして扱うために必要なマクロデータを生成するマクロデータ生成工程と、前記再配置後の前記入・出力バッファの配置位置データを前記マクロの初期配置データとし、このマクロを用いて前記チップ全体の自動配置配線処理を行う自動配置配線工程とを含む請求項1、2または3記載のフリップチップ型半導体装置の配置配線方法。

【請求項5】 前記チップの少なくとも1辺に前記1列状のグループの入・出力バッファが配置されそのグループ内に含まれる前記電源供給用または信号用チップ端子がコーナー領域に配置されたとき、このコーナー領域を除く他のコーナー領域には、このチップがフェイスダウン状態で所定の実装基板上に搭載されるときに前記チップと前記実装基板との平行化を維持するための平行化用バンパがそれぞれ少なくとも1個形成される請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【請求項6】 前記1列状のグループの入・出力バッファ群および前記内部回路ブロックがそれぞれ同一チップ上の周辺部を含む領域に任意に混在して配置配線される請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【請求項7】 前記内部回路ブロックが同一チップ上の周辺部を含む領域に配置され、この周辺部領域より内側の領域内の任意の位置に前記1列状のグループの入・出力バッファ群が配置配線されかつ前記チップコーナー部領域には前記平行化用バンパが配置される請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【請求項8】 前記同一チップ内のあらかじめ定める所定の内部領域はピッチの狭い第1のブロック配置位置定義を行ない、前記所定の内部領域を囲む周辺領域は前記第1のブロック配置位置定義のブロックピッチの整数倍のピッチでブロック配置位置定義を行い、前記所定の内部領域を囲む周辺領域は前記ブロックピッチの整数倍をさらに1を含む整数倍した第1のブロックサイズをもつ前記入・出力バッファとこのバッファの有理数倍のサイズの第2の入・出力バッファとを混在して配置する前記1列状のグループの入・出力バッファ群が配置配線され、前記所定の内部領域内の任意の位置に前記内部回路

(3)

特開平9-69568

3

ブロック群が配置され、さらにこれら内部回路ブロック群の間にも前記第1のブロックサイズをもつ前記入・出力バッファからなる前記1列状のグループの入・出力バッファ群が配置配線される請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【請求項9】ブローブカードの探針先端の座標が標準化されてチップサイズにかかわらず前記標準化された座標に対応した位置に前記チップ端子が配置される前記チップであって、これらのパッド位置に対応して前記1列上のグループの入・出力バッファ群が配置配線される請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【請求項10】前記テストパッドが配置された領域の周辺領域に前記テストパッドに対応する前記チップ端子が千鳥状に配置され前記テストパッドに配線される請求項1または2記載のフリップチップ型半導体装置の配置配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフリップチップ型半導体装置の配置配線方法に係わり、特に入力バッファおよび出力バッファ（以下、入・出力バッファと称す）のレイアウト設計方法を改良したフリップチップ型半導体装置の配置配線方法に関する。

【0002】

【従来の技術】従来、この種のゲートアレイやセルベースICなどのASICチップの配置配線方法は、その配置の平面図を示した図13参照すると、チップ41hの最外周にパッド（チップ端子）45を配置し、その内側に入・出力バッファ42dを配置し残る内部の領域62に所望の機能回路（以下、内部回路と称す）を配置する配置配線方法が広く用いられている。この配置配線方法を前提に自動配置配線処理を行うためのCADツールのソフトウェアが考えられてきた。

【0003】このような方法において入・出力バッファ42dは、その自動配置処理で内部回路領域62に配置される内部回路と混在することがなく、チップ41hを周回する1次元上のどの位置に配置するかを扱えばよいので、内部回路領域62の内部回路ブロック配置位置定義工程（処理工程75）による2次元面上へのブロック配置とは異なる配置手法が用いられている。

【0004】従来の設計フローを示した図14を参照しながら、実際にその設計手順を追ってみると、機能記述データは機能レベルシミュレーション（処理工程71）において機能レベルでの動作確認を終えた後、論理合成（処理工程72）において回路ブロックを構成要素とする回路図データ（処理工程73）に具体化される。その回路図データからLSIのチップサイズを算定（処理工程74）すると共に、そのサイズに基づいて図13に示すように、入・出力バッファ42dの配置位置と内部回

4

路ブロックの配置位置63を夫々区別して定義する（処理工程75）。

【0005】その配置位置定義に従ってフロアプラン（処理工程76）の工程で入・出力バッファや内部回路ブロックを配置する（処理工程77）。

【0006】例えば図13の内部回路のブロック43aは、そのようにして配置された内部回路の一部分を示すものである。このフロアプランに基づき次に内部回路のブロック間の配線長を仮決めし、タイミングシミュレーション（処理工程79）により不適切なパスを抽出する。この抽出結果に基づいて不適切なパスが生じないようにフロアプランをやり直し、そのフロアプランに基づいて全体の回路に自動配置配線（処理工程80）を実行する。ここで自動配置配線された回路間の実配線長タイミングシミュレーション（処理工程81）を行ない、問題となるパスがあれば再度配置を微調整してマスクデータとして出力する。

【0007】一方、ASICの内部回路の規模およびチップ端子数の関係を見ると、プロセス技術の進展に伴い一定面積当りの回路規模は、デザインルールの縮小と多層配線化などによってテクノロジー世代毎にほぼ2倍の割合で増加してきている。これに対し、ワイヤボンディングを前提にしたチップ端子数は、ボンディングツールの改良等によってボンディングパッドのピッチをつめてその密度をあげているが、上述の内部回路の密度向上には追いつかず、結果として回路規模当りのチップ端子数はテクノロジー世代毎に減少する一途をたどってきている。

【0008】これを改善するための可能性を、ASICにこだわらず単に入・出力バッファの配置方法やチップ端子の配置方法に関する従来技術の中に見るに、例えばその一例が特開平3-97238号公報に記載されている。同公報記載の第1図には、チップを周回する入・出力バッファ配置領域をはさんでその外側と内側の両方にチップ端子群を構成する考えが示されている。ここではワイヤボンディングの代りにインナーリードを持つフィルムキャリヤがチップ端子の接続手段として考えられている。

【0009】また、他の例が特開平2-244755号公報に記載されている。同公報記載の第1図、第2図には入・出力バッファを2重列にしてチップ上に周回配置した例が示されている。この場合、チップ端子の接続はボンディングが用いられ、特に第2図に示されるように、パッドも2列状に配置する構造では、ボンディングワイヤの高さを変えて立体的に実現する方法が記載されている。

【0010】さらに他の例が特開平4-196464号公報に記載され、その第1図にチップ内部のトランジスタおよび配線領域面にアレイ状でかつ一定の間隔で列ごとに入・出力パッドを整列して並べる例が示されている。ただこの例では、入・出力バッファをどの位置に置

10

20

30

40

50

5

くのか、また入・出力パッドをチップ端子としてそれらを外部とどう接続するのかが開示されていない。

【0011】さらにまた他の例が特開平4-357849号公報に記載されている。同公報記載の図1、図2にはチップ面全域にアレイ状にチップ端子として半田ボールを設け、フリップチップボンディングを行う例が示されている。同例ではチップ上の素子配置は一切開示されていない。

【0012】

【発明が解決しようとする課題】しかし、上述した従来の技術はASICとして見ると次のような欠点を持っている。まず、従来のASICの配置配線方法は、入・出力バッファがチップの周辺部に配置されるため、入・出力バッファの数と内部回路の規模とは、それぞれのセルの大きさとチップサイズによってその相対量が一意的に決まってしまう。

【0013】そのため、例えば内部回路の規模が大きい場合には周辺長が長くなり、多くの入・出力バッファが配置できるが、そのLSIに必要とされる入・出力バッファ数が内部回路の規模に比して少ないと周辺に空きスペースが生じる。逆に内部回路の規模が小さく、入・出力バッファ数が相対的に多いと入・出力バッファのために大きな周辺長が生じる一方で内部回路領域には空きスペースが生じる。このいずれの場合もチップサイズは空きスペースを含むものとなって、そうでない時と比較するとチップコストが割高になる。

【0014】次に、こうした空きスペースの発生を低減する方法として、周辺部の空きスペースに対しては内部回路の一部を張り出して配置し、内部の空きに対しては周辺の入・出力バッファの列を多重にすることが考えられるが、ASICではこのような構造に対しても自動配置配線ツールが効果的に適用できる必要がある。

【0015】かかる観点から上述の方法を見るに、前者の場合は、チップの周辺に凸状に張り出した内部回路領域の部分の配線が効果的に配置されず面積を有効に使うことできない。その理由としては、現存するツールのアルゴリズムは内部領域全体が矩形であることを前提にしているからである。

【0016】また、後者の場合については、入・出力バッファ近傍に配置されるチップ端子密度が高くなり、今日一般的に用いられそれゆえに低コストであるワイヤボンディングの方法によりパッケージングすることが困難なために、このような多重列状の入・出力バッファ配置のアルゴリズムは通常のASIC製品では用いられておらず、その構造を前提にした自動配置・配線ツールが一般には存在しない。

【0017】すなわち、一般的にチップの端子密度を向上させるのに有効な従来より提案されている各種チップのレイアウト構造に対し、それらを前提にした自動処理ツールを新たに開発しなければ、自動設計を1つの特長

(4)

特開平9-69568

6

とするASICにそれらの構造を導入することができない訳である。より面積効率の良いASICチップ設計を行なおうとする時、従来の技術には以上に述べたような限界があった。

【0018】本発明の目的は、上述した欠点に鑑みなされたものであり、従来の自動配置配線ツールの基本的なアルゴリズムを損うことなく、入・出力バッファの配置の自由度を上げてフリップチップ構成のASIC設計自動化を容易にした配置配線方法を提供することにある。

【0019】

【課題を解決するための手段】本発明のフリップチップ型半導体装置の配置配線方法の特徴は、テスト時に信号の入・出力に使用するテストパッド群とそのテストパッドの上またはその近辺に配置され外部への入力出力端子となるチップ端子群とこれらテストパッドおよびチップ端子を介して外部との信号のやり取りをインタフェースする入・出力バッファ群とこれらの入力バッファから供給される信号にตอบสนองして所定の回路動作をする内部回路ブロック群とを含んだ半導体チップを設計する自動配置配線時に、前記入・出力バッファ群および前記内部回路ブロック群の配置領域を区別せずに配置するように定義する配置位置決定処理の結果に基づき、自動配置配線設計処理における前記チップ内の任意の領域に前記内部回路ブロック群および前記入・出力バッファ群を配置配線するとともに、前記入・出力バッファは前記任意の位置で所定のグループごとに前記チップのいずれかの辺に平行で1列状に配列された状態になるように配置されるフロアプラン作成処理を含むことにある。

【0020】また、前記配置位置決定処理および前記フロアプラン処理は、前記入・出力バッファ群を電氣的に独立した複数組の電源線に対応させてあらかじめ前記複数組のグループに分けるバッファ分割工程と、前記入・出力バッファ群および前記内部回路ブロック群の両方を区別せず共通に前記チップ面上に配置するためのブロック配置位置の定義を行なう配置位置定義工程と、前記グループ内入・出力バッファ群が、自動配置配線設計処理における前記チップの一方辺に平行な主軸または他方辺に平行な副軸のそれぞれの方向に沿った任意の位置に、1列状の配列をなすように前記配置位置定義を用いて概略配置される概略配置工程と、前記1列状の配列が前記チップの1辺長の範囲内を越えるときは、前記グループ分けをさらに細分化することによってそのいずれかの1列状のグループに全ての前記入・出力バッファが分散されて属するように配置調整を行なう再配置工程と、前記再配置調整された1列状のグループのそれぞれに属する前記入・出力バッファに対して、1対の電源線からなる電氣的に独立した前記複数組の電源供給線のいずれかをそれぞれ配線接続する電源配線工程と、前記再配置調整された1列状のグループのそれぞれに属する前記入・出力バッファの配置データを用いて前記チップ全体の自動配

7

置配線を行なう全体配置配線工程とを含むことができる。

【0021】さらに、前記再配置工程は、前記1対の電源線に接続される少なくとも1対の電源供給用テストパッドまたはこのテストパッドおよびチップ端子のいずれかが、前記1列状のグループごとに前記入・出力バッファ群の再配置調整によってそれぞれ挿入配置されるとともに、この挿入配置によって前記1列状の配列が前記チップの1辺の範囲内を越えるときは、前記グループ分けをさらに細分化することによってこれらのグループのいずれかに全ての前記入・出力バッファがそれぞれ分散されて属するように再配置調整を行なう工程を含むことができる。

【0022】さらにまた、前記自動配置配線処理をするときに、前記再配置調整を行なうことによって前記1対の電源線とこれら電源線に接続される少なくとも1対の電源供給用チップ端子とを含んだ前記1列状に配列された入・出力バッファ群のグループを、それぞれのグループごとに1つのマクロとして扱うために必要なマクロデータを生成するマクロデータ生成工程と、前記再配置後の前記入・出力バッファの配置位置データを前記マクロの初期配置データとし、このマクロを用いて前記チップ全体の自動配置配線処理を行う自動配置配線工程とを含むこともできる。

【0023】また、前記チップの少なくとも1辺に前記1列状のグループの入・出力バッファが配置されそのグループ内に含まれる前記電源供給用または信号用チップ端子がコーナー領域に配置されたとき、このコーナー領域を除く他のコーナー領域には、このチップがフェイスダウン状態で所定の実装基板に搭載されるときに前記チップと前記実装基板との平行化を維持するための平行化用バンプがそれぞれ少なくとも1個形成される。

【0024】さらに、前記1列状のグループの入・出力バッファ群および前記内部回路ブロックがそれぞれ同一チップ上の周辺部を含む領域に任意に混在して配置配線されてもよい。

【0025】さらにまた、前記内部回路ブロックが同一チップ上の周辺部を含む領域に配置され、この周辺部領域より内側の領域内の任意の位置に前記1列状のグループの入・出力バッファ群が配置配線されかつ前記チップコーナー部領域には前記平行化用バンプが配置される。

【0026】また、前記同一チップ内のあらかじめ定める所定の内部領域はピッチの狭い第1のブロック配置位置定義を行ない、前記所定の内部領域を囲む周辺領域は前記第1のブロック配置位置定義のブロックピッチの整数倍のピッチでブロック配置位置定義を行い、前記所定の内部領域を囲む周辺領域は前記ブロックピッチの整数倍をさらに1を含む整数倍した第1のブロックサイズをもつ前記入・出力バッファとこのバッファの有理数倍のサイズの第2の入・出力バッファとを混在して配置する

(5)

特開平9-69568

8

前記1列状のグループの入・出力バッファ群が配置配線され、前記所定の内部領域内の任意の位置に前記内部回路ブロック群が配置され、さらにこれら内部回路ブロック群の間にも前記第1のブロックサイズをもつ前記入・出力バッファからなる前記1列状のグループの入・出力バッファ群が配置配線される。

【0027】さらに、プローブカードの探針先端の座標が標準化されてチップサイズにかかわらず前記標準化された座標に対応した位置に前記チップ端子が配置される前記チップであって、これらのパッド位置に対応して前記1列上のグループの入・出力バッファ群が配置配線されてもよい。

【0028】さらにまた、前記テストパッドが配置された領域の周辺領域に前記テストパッドに対応する前記チップ端子が千鳥状に配置され前記テストパッドと配線されてもよい。

【0029】

【発明の実施の形態】次に本発明について、図面を参照しながら説明する。図1は本発明の一実施の形態の設計フローを示す図であり、特に図中太枠で囲まれた工程が図14で述べた従来のフローと異なる本発明の主要部分である。以下、その主要部分を中心に説明する。まず機能記述データは機能レベルシミュレーション（処理工程11）によって機能レベルの動作確認を終えた後、論理合成（処理工程12）によって回路ブロックを構成要素とする回路図データ（処理工程13）で具体化され、この回路図データによってチップサイズの算定（処理工程14）を行った後、入・出力バッファおよび内部回路ブロックの双方を区別しない配置位置定義処理（処理工程15）をチップ面上に対して行う。

【0030】ここで本実施の形態で扱うことのできる種々のLSI回路のうちの一例を示した図2を参照すると、図2に示すブロック26、28、30、31および33は夫々がNAND、NOR、EX-ORおよびフリップフロップなどの基本論理を機能にもつ多数のプリミティブブロックから構成され、特にブロック31および33は、大規模なメモリブロックもその中に有する（図では省略）。

【0031】これらのブロックと、端子A1～A4、B1～B2およびCKにそれぞれ接続する入力バッファ25a～25d、27a～27bおよび29と、出力端子P1～P6に接続する出力バッファ32a～32fと、出力端子Q1～Q4に接続する双方向バッファQNとは、ブロックサイズの大きさがセルという配置上の最小区画の単位を基準にしてx方向およびy方向それぞれがその整数値で決められている。

【0032】そこで全回路についてこれら各ブロックのセル数を加算し、さらにこれらブロック間接続に必要な配線用領域や電源配線用領域など経験的に定められる必要面積を加えてチップサイズ算定（処理工程14）を

9

実行する。

【0033】ここで、セルを最小単位とする区画定義を行ったときの平面図を示した図3を併せて参照すると、チップサイズが定まるとそのサイズに基づきチップ全面に前述したセルを最小単位とする区画定義(処理工程15)を行う。メッシュ状になる同区画は、セルを単位とした直交座標を形成し、各種内部ブロック43aおよび43bと入・出力バッファ42aとは同区画を最小単位として配置される。この区画定義がブロックの配置位置定義である。

【0034】本発明では、従来例の図13に示す入・出力バッファブロック42dの配置位置と内部回路用配置位置63のような区別がなく、双方のブロックに対し、ブロック配置位置定義領域44aが共通に存在する。

【0035】例えば図3の入・出力バッファ42aは、このような定義による座標上に配置される入・出力バッファであり、各種の内部回路ブロック43aおよび43bはそれと同じ座標軸上に配置される2種類の大きさの異なる内部回路ブロックである。

【0036】上記工程の一方では、フロアプラン(処理工程16)の処理として、入・出力バッファのグルーピングすなわちバッファ分割の処理が行われる(処理工程17)。このグルーピングは、動作タイミングの整合性や、信号の相互干渉、チップを実装するボード上の端子の位置関係、製造工程、テスト環境等々を考慮し、電気的に継ながら一対の電源電位(Vdd)および接地電位(GND)に接続してよい入・出力バッファのグループと、それとは電気的に分離独立した他のVddおよびGND対に接続すべき入・出力バッファのグループとにグループ分けする。一対のVddおよびGNDに接続可能であっても実装上の端子位置関係から別グループになることもある。

【0037】同工程の処理結果として、最もグループ数が少なくなるケースは全入・出力バッファが互いに近い位置にある方がよく、かつ一連のVddおよびGND対に接続しても構わない場合で、グループはただ1つである。図2に示したLSIの回路例においては、出力端子P1~P6に接続された6個のバッファ32a~32fおよびそれとは独立に端子Q1~Q4に接続された4個の双方向バッファQNが、ある信号組合せのタイミングで同時にスイッチングすると、瞬時に流れる大きな電流変化によってVddおよびGND対の電位が大きく変動するので、その影響を他のグループに与えるのを防止するため入・出力バッファ群を次のようにグループ分けする。

【0038】すなわち、入力信号を入力端子A1~A4とB1~B2とで受ける入力バッファ25a~25dと27aおよび27bとで1つのグループ、クロック信号を受けるCK端子の入力バッファ29はそれ1つで独立のグループ、端子P1~P6の出力バッファ32a~32f

(6)

特開平9-69568

10

2fで1つのグループ、端子Q1~Q4の双方向バッファQNで1つのグループとして合計4つのグループに分けられる。

【0039】このようにグループ分けしたものを図2ではそれぞれA、C、PおよびQグループと名付けてある。

【0040】次に、入・出力バッファおよび内部ブロックのフロアプランが行われる。この処理工程では、上記入・出力バッファのグループ分け工程(処理工程17)

10 時の配慮事項に従って、チップ上のどの位置に入・出力バッファを置くかを定め、また同時に入・出力バッファと内部回路とを合わせたLSI全体の中での信号伝播時間を短くしたい、いわゆるクリティカルパスに関わるブロックの相対位置関係と、相互の信号干渉、ノイズ干渉、その他製造工程およびテスト上の諸制約などを考慮した位置関係と、さらにはメモリブロックなどの大きなブロックがある場合にそれが入・出力バッファの好ましい位置とバランスがとれるように、また後の自動配線処理時の配線障害を極力引き起さないようにそれぞれ考慮した位置関係とを、それぞれ定める(処理工程18~20)。

【0041】特に入・出力バッファについては、上述したグループ分けに従い、それぞれのグループ内で入・出力バッファが1列状に並ぶように配慮した概略配置をする(処理工程18)。より厳密には、自動配線処理における配線敷設の主軸方向またはそれに直交する副軸方向のいずれかの方向に対して、1列状に並ぶように配慮する。通常これらはチップ辺に沿った直交する2つの方向に一致する。

30 【0042】ここで、1列状の列長が、それらが配置可能なチップの一边長(図3のブロック配置位置定義領域44aの縦又は横の全長)を上回ってしまうことがあり得る。その場合は、その1つのグループをさらに細分化し、細分化されたグループについてそれぞれ1列状を保つように再配置をする。

【0043】フロアプラン(処理工程16)で配置位置を設定するブロックは、入・出力バッファおよび上述した諸配慮の対象になる内部回路のブロックであり、それ以外のものは、後の自動配線処理に委ねられる。なお、前述した配置位置定義(処理工程15)と同様、フロアプランでも入・出力バッファと内部回路のブロックとの配置領域の区別はない。

【0044】さらに本実施の形態例では、前述した1列状の入・出力バッファ列に対して必要な数だけのGNDおよびVdd端子の挿入が行われる。本実施の形態では入・出力バッファの素子の近くにウエハテスト時に用いるテストパッド(後述の符号45で示す)が置かれ、このテストパッドの真上にチップ実装用のボールバンプ(チップ端子で後述の符号46で示す)が形成され、そのボールバンプはそのまま実装時のボードとチップとの

11

電氣的接続の役割も果たすので、これら入・出力バッファの1列状の中にVddおよびGND端子を配置配線してやれば、チップ内での電源配線の引き回し距離が短かくて済み、設計が容易化される。

【0045】本実施の形態例で言う1列状とは、厳密には入・出力バッファの持つボールバンプとVddおよびGND用ボールバンプとを、ボールバンプに接続される実装ボード上の電極の配列ピッチに合わせて1列状に配列することである。このため、入・出力バッファの間にこれら電源用端子を挿入する場合、入・出力バッファを移動させてそのスペースを確保する必要があり、このための配置位置の調整が必要である。

【0046】特に、このような挿入によって1列状の列長がチップ一辺長を越える場合、前述した例と同様にグループの細分化を行い、1列状態を保つように再配置をする。細分化した結果の複数グループへのVddおよびGND供給は共通に行うものとしてもよいし、上述の方法で新たにVddおよびGND端子を追加し、互いに電氣的に独立し合うものとしてもよい。

【0047】なお、必要なGNDおよびVdd端子数やこの挿入位置は、主にグループ内の同時スイッチングする出力バッファの数とその負荷駆動能力、および出力駆動先の負荷の大きさによって決められる。

【0048】以上の説明で、図1のフロアプラン(処理工程16)という大枠で開んだ全工程が終了する。説明を容易にするためにフロアプラン内部の手順に順番があるような表現になっているが、実際にはその時々設計対象によっていろいろな段取りが考えられ、手順の前後関係を問うものではない。

【0049】上述したフロアプラン工程を図2の回路について実施して得られたフロアプランを示す図4を参照して説明する。同図には一部に後のマクロ化の工程を経た状態も記されているが、それによってフロアプランの結果が影響を受けている訳ではない。この図4のフロアプランは、特にチップ実装ボードの平面図を示した図5に示す当該チップの実装環境を強く反映している。このチップは図5に示す実装ボードの右上コーナーに配置される関係上、チップ端子は同コーナーの反対側のチップ辺に集められるのがボード設計上合理的であり、この状態を反映するため図4において入・出力バッファ群は同図の右辺と上辺とに集中的に配置されている。

【0050】図4および図5共に、当該チップの中央部に“D”の文字が描かれているが、これは2つの図相互における同一チップの配置方向を示すもので、図4は素子形成面が紙面上面の向であるのに対し、図5は、フリップチップ実装状態ではそれが裏返しになっていることを示している。

【0051】VddおよびGNDとチップ端子とを含む入・出力バッファの1列状の配列は、図4の上辺および右辺のA、C、PおよびQグループで示され、夫々が図

(7)

特開平9-69568

12

2の同名グループに対応する。

【0052】本回路例では前述した1列状の列長がチップ一辺の辺長を越えることがなく入・出力バッファグループの細分化は行われていない。一方、内部回路ブロックの一部として、図2におけるPおよびQグループの各機能部分に含まれるRAMブロックが、夫々RAMPおよびRAMQとして図4においてはチップ面の左側に配置指定されている。これらは、チップ内信号配線の接続障害にならないようにチップの隅に置かれると同時に、ブロックの信号端子はRAMPおよびRAMQの文字が読める方向の上辺にのみ存在し、それを他のプリミティブブロックが配置される領域に向けて置くことで、当該ブロックとの配線接続が容易に行えるようにしている。

【0053】次の処理工程では、VddおよびGND端子を含めて1列状に配置した入・出力バッファブロックを1つのマクロとして扱うために必要な諸データの生成をするマクロデータ生成処理を行う(処理工程21)。まず、1列状をなすA、C、PおよびQグループのそれぞれのグループ内で、入・出力バッファと電源パッド間のVddおよびGND配線接続を行う。

【0054】端子Q1の属するQグループを例にとって双方向バッファQNの配置配線図を示した図6で説明すると、VddおよびGNDのチップ端子46と、入・出力バッファ42aのVddおよびGND接続端子との間を主に第4層配線を使って接続する。VddおよびGNDが相互に交叉する部分、例えば第4層のVdd配線とそのチップ端子間には第3層-第4層配線間スルーホール52を介して第3層配線が使用され、その上を第4層のGND配線が通過する。

【0055】入・出力バッファの個々のブロック内回路は、第1層および第2層配線で構成されており(同図では簡略化のため省略)、VddおよびGND配線との接続端子部分、およびテストパッド45との接続部分では、貫通スルーホール53によってブロック内第2層配線から上記VddおよびGNDの第4層配線、あるいはテストパッド45の第4層配線に接続される。

【0056】ここで言う貫通スルーホールとは、第2層と第4層配線とを接続したい交叉部分にのみ第3層配線が存在し、そこで第2層と第3層とを、第3層と第4層配線とをそれぞれ接続する構造である。

【0057】テストパッド45上にはバリヤメタルを介して半田ボールが形成され、それがチップ端子としてのボールバンプ(チップ端子)46となる。

【0058】図6に示す点線枠で囲まれたQN全体が1つのハードマクロであり、本例では回路図上QNと名付けられ、この名称は、図2に示す回路図データにも反映される。同図の端子Q1~Q4に接続される4つの双方向バッファは、点線で囲むQNという1つのブロックに回路図データとして処理工程21において書き替えられ、後の設計処理工程においては個々の双方向バッファ

50

13

データの代りにQNという1つのマクロブロックデータが扱われる。

【0059】上述したマクロ化の処理により、上述のマクロブロック単体の作成作業で形成された双方向バッファや電源配線、チップ端子等を含む諸アートワークデータは、QNブロックが図2の回路図中に存在することによって、この回路図データを含むブロック形状データ、ブロック内端子位置データ等の設計過程のシンボリックデータが最終的にマスク作成用データに変換される際に、自動的にチップ全体のアートワークデータを形成する一部として加えられる。

【0060】すなわち、膨大なデータ量を有するチップ全体のレベルで前述のVddおよびGND配線接続の作業を行う必要がない。また、言うまでもなく他のA、CおよびPの各グループの電源接続作業についても同様である。

【0061】さらに、本回路の例ではその処理を行っていないが、図1に示す自動配置配線処理の工程（処理工程23）で、フロアプランの工程（処理工程18）で定めた入・出力バッファの配置位置を初期値として、処理工程21上で定めたハードマクロをより適切な位置に自動処理にて移動させることが可能になる。図4にはこの様なハードマクロ化作業を加えた状態での入・出力バッファ群が示され、VddおよびGND配線は全て一本の直線で表わされている。

【0062】図1に示す一連の処理フローとしては、次にフロアプランデータに基づいてブロック間の信号配線長予測を行い、その電気的負荷量を用いて仮配線長シミュレーションを行う（処理工程22）。ここでLSI回路が期待通り動くかどうかチェックされ、不具合がある場合は、同図には示されていないがその不具合が解消できる然るべき前工程にたち戻って修正を受けた後、再度動作確認を行う。

【0063】動作が確認されれば次に自動配置配線の処理工程23に入る。この工程では、前述したフロアプランで配置位置指定を受けたもの（より詳しくは、絶対位置指定とグルーピングとよばれる相対位置指定との2種類を含む）に加えて、その指定を受けていない残りのブロックを加えた全ブロックの配置位置が確定し、その状態でブロック端子間の信号線自動接続を行う。

【0064】ここでチップ内の実際の配線長が全て確定するので、その配線の電気的負荷量を考慮した、実配線長タイミングシミュレーションによる動作確認を行う（処理工程24）。不具合があれば然るべき前工程にたち戻り、最終的に動作が確認されるまで、必要な工程をくり返す。

【0065】この後、今までの処理に使用されたシンボリックデータはマスク製作のためのアートワークデータに全面変換され、マスク製作工程に入る。

【0066】さて、図1に示す設計フローを用いた図2

(8)

特開平9-69568

14

の回路であって図4とは異なる配置配線結果を得た他の例を示した図7を参照すると、本例は図5に示すボード実装環境とは異なり、実装ボード上の中央部に本チップが使用されており、所望のボードレベルの性能を得る上でボード上の配線長を短くするよりも、当該チップ内配線長を適正化の方が有利であったために、チップ性能本位のフロアプランを行った結果として、入・出力バッファの配置位置が前例とは全く異なるものになっていることを示す。

10 【0067】すなわち、RAMPおよびRAMQは本例では同図の右上と右下に配置され、特にクロック信号用の入力バッファ29を含む図2のCグループは、チップ内へ伝送されるクロック信号の伝搬時間の均等化および遅延時間の最小化を図り易くするためにチップ中央部に配置されている。

【0068】この例に示すように、従来のASICがとってきた形態では入・出力バッファをチップ内部に配置するレイアウトの形態は考えられなかったが、本発明の配置配線方法によれば、それを従来のASIC用に開発されてきた諸ツールを用いて実現可能にする。すなわち、チップ全面に配置位置定義を行うことで、従来ツールにおける内部領域の処理手順が入・出力バッファにまで適用できるからであり、従来から内部領域ではメモリ等、ブロックサイズが均一でないレイアウトを扱っているので、入・出力バッファもその一種と見なせるからである。

【0069】なお、図4～6に示されるチップ面平行化用ボールバンプ47とは、実装ボード上に本チップをフェイスダウン状態でリフロー処理によってフリップチップ実装する際に、本チップ面と実装ボード面の間は、溶融した半田ボールが介在するのみであるから、例えば図4のようにチップの2辺にしか主に半田ボール46が存在しない場合はチップ面と実装ボード面の2つの面の平行化が自然に保たれなくなるので、これを防ぐために設けられたバランス用のボールのことである。

【0070】このボールの形成方法の一例としては、図6の例と同様、第4層の配線層でパッド形状を形成した上にバリアメタルを介して半田ボールを形成する。このボールバンプ47は必ずしも電極である必要はないが、電極としてのボールバンプをこれに替えても良い。図4の右上に位置するCグループの右端のボールバンプ46は、電源用ボールバンプであって同時にチップ面平行化用ボールバンプを兼ねていると見てよい。図7の例では、チップの4つのコーナーの全てにこのボールバンプ47が配置されている。また電気的に第3層配線を含む第1層および第2層配線とは絶縁されるので、素子上に配置することも可能で、RAMPおよびRAMQの上に図4および図5ともそれぞれ平行化用ボールバンプ47が置かれている。

50 【0071】以上説明した図4および図7のチップレイ

15

アウトにおいて、内部回路に電源を供給する方法については特に触れていないが、例えば従来からメモリなどのマクロブロックのまわりに周回電源配線を持たせ、内部回路領域全域に走るメッシュ状の内部電源配線の所望の位置に当該マクロの周回電源配線を接続し、この周回電源配線の中のメッシュ状配線を削除する電源配線設計方法が用いられているので、それと同様の方法で入・出力バッファグループ毎に内部回路用の周回電源配線を持たせて、上述の方法を適用すれば内部回路用の電源配線敷設が可能である。

【0072】あるいは、入・出力バッファが配置される位置で、内部用メッシュ配線をカットし、それによって電流供給が途絶えないように要所所に内部用VddおよびGND用のチップ端子を配設してゆく方法等がある。

【0073】図8は、本発明の配置配線方法を、図2に示した回路例とは異なる第2の回路例に適用した場合のフロアプランの例である。この回路は、内部回路の規模に比較して入・出力バッファの数が非常に多いもので、同図に示すようにチップ周辺部および一部中心領域にまで入・出力バッファ42bおよび42cが配置されている。入・出力バッファには符号42bで示す大きさのものと、その2倍の大きさの符号42cの2種類がある。ここでは入出力バッファ42cの大きさを42bの大きさの2倍としたが、これに限定されるものではなく、バッファ42bは内部回路用ブロック配置する領域のセルの大きさの整数倍をさらに1を含む整数倍した大きさであり、バッファ42cのサイズはこのバッファ42bの有理数倍の関係であればよい。

【0074】同図で他の同じバッファは斜線が省略されているが、中央部にドットの付されたものは全て入・出力バッファである。同図の符号55で示す直線は、前述した入・出力バッファのグループ分けの結果として、1列状グループに属するものを結ぶ配線である。

【0075】この設計例では、1列状の入・出力バッファの列長がチップ一辺長を超えるものが生じ、直線56で示す3つのグループに細分化されている。点線54はその内と外とでブロック配線位置定義を変えているもので、その詳細を示した図9を参照すると、チップ中央部は小さな内部回路用ブロックでも隙間なく配置できるセルの大きさをブロック配置位置定義を行っているのに対し、その外側はそのセルサイズの整数倍で同定義を行っている。

【0076】その結果として、入・出力バッファおよび内部回路ブロックとも、中央部とその周辺部とでブロックの配置ピッチも異なるものとなる。ここで述べる2種類の配置定義は、従来例における入・出力バッファ用および内部回路ブロック用の区別とは異なり、これらを相互に区別していない点は図2で説明した設計例と同じである。本設計例で2種類の定義を行うのは、定義点を少

(9)

特開平9-69568

16

くして自動処理における処理速度を速くすることを目的にしているからである。

【0077】本来、チップ全域を上記セルの大きさを区画定義すべきところであるが、大きなブロックばかりが置かれるチップ周辺部では細かな区画定義をする意味がないので、その整数倍の大きさを区画定義をひとくくりにしている。

【0078】この図8においては、内部回路の配置領域は、回路機能の面からブロック57～61の5つの領域に区分され、夫々の領域で、動作および性能を保証するのに必要ななめになる内部回路ブロックのフロアプランを行った後（図8ではその様子は省略）、図1に示す仮配線長シミュレーションおよび自動配線配線処理が行われる。

【0079】前述した図2に示す設計例と異なるもう1つの点は、チップ端子としてのボールバンプ47は、各入・出力バッファ近傍に配置されるのではなく、図10において大きなドットで示される位置に規則的に配置される。このために、各入・出力バッファやこれらのバッファが形成する各1列状配置列へのVddおよびGNDの供給、内部回路へのVddおよびGNDの供給は、このようなボールバンプとの間を専用の配線層を使って接続する。

【0080】従って図2における設計例で示した、1列状配置列への電源端子の挿入工程はここでは不要である。図1に示す実配線長タイミングシミュレーションは、この配線接続処理の後行われる（その負荷量を考慮するためである）。但し、この接続配線が性能へ与える影響は微小であることが明らかな場合は、順序が逆になっても構わない。なお、図10におけるメッシュは、ボールバンプが存在する位置を示すためのもので、この例ではボールバンプを示すドットは一部にしか付されていない。

【0081】本設計例が示すところは、従来のASICの配置配線方法では内部回路の規模に対して非常に多くの入・出力バッファがある場合、その入・出力バッファの数で決まる周囲長がチップサイズとなって、その内部領域に広い空き領域が生じていたが、本発明の設計手法を用いれば、従来のASICに用いているのと同じ設計ツールを基盤にして無駄な領域の少ないLSIチップが得られることである。

【0082】本発明の配置配線方法を第3の回路に適用した設計例を示した図11を参照すると、本設計例の特徴的な点は、ウエハテスト時に用いるプローブカードのチップ側探針の先端座標が標準化されており、チップサイズに関わらずテストパッド総数が決まると、その数と等しいかまたはそれ以上の探針数に対応するあらかじめ用意されたテストパッド標準座標に合わせてテストパッドが配列される。

【0083】本設計例では、入・出力バッファとテスト

17

パッドは近くに隣接する状態で設計されており、従って、入・出力バッファはテストパッドの並びに合わせて配列される。この配列は前述の如く、図1に示すフロアプランの処理工程で行われる。この様な入・出力バッファの配列においても、本発明の1列状配置の方法が適用され電源端子の挿入も行われている。

【0084】空きパッドとあるのは、前述した標準座席上のテストパッドを全部使う必要がないために生じているものであるが、一般にパッドは接続しなくても形成しておく必要がある。というのはプローブカードの針が圧着する時、パッドのメタルと異なる材質のものとあるとその針の摩耗の度合いが他の針と異ってしまい、別の製品の測定時には針先の接触条件が変ってしまうからである。

【0085】この設計例におけるブロック配置位置定義は、図2の例と同様にチップ全面に均一なセルによる区画定義がなされている(図は省略する)。入・出力バッファ群が形成する“口”の字状の内側と外側の両方に内部回路ブロックが配置される。

【0086】これら内側と外側の信号線の接続は、入・出力ブロック間相互の隙間に配線を敷設して行なわれる。本設計例でも4層の配線層が使用され、特に、図11に示しているVddおよびGND配線はx方向には必ず第3層配線が、y方向には必ず第4層配線が使用され、テストパッド45は第4層配線で形成される。

【0087】従って、入・出力ブロック間を通過する配線層はx方向には第1層および第3層配線、y方向には第2層および第4層配線である。この配線敷設方向は内部回路部の全般に共通する。すなわち、自動配線処理において、第1層および第3層配線はその配線敷設方向の主軸がx方向、副軸がy方向であり、第2層および第4層配線は主軸がy方向、副軸がx方向である。

【0088】テストパッド45およびボールバンプ(チップ端子)46の配線接続を示した図12を参照すると、本設計例でもチップ端子46はテストパッド45直上に形成されず、チップ周辺部に規則的に配列される。テストパッド45とチップ端子46との接続は、やはりx方向に第3層配線、y方向に第4層配線のルールで行われ、チップ端子の直下に4層配線層のメタルを置き、バリヤメタルを介して半田ボールが形成される。図12は図11のチップ左辺の17個のテストパッドとの接続のみを描いており、他は省略している。

【0089】

【発明の効果】以上説明したように、本発明はASIC自動設計における、入・出力バッファ配置部と内部回路配置部の配置位置定義を、双方の区別をせずに共通のものとし、一方その共通の配置位置定義上に置く入・出力バッファは、信号配線の自動敷設方向に揃えて1列状をなし、しかもそこに供給する電源系はこの様な1列状のルールが維持できるように必要に応じてチップ上では

(10)

特開平9-69568

18

電氣的に互いに独立な複数の系に分離することから、従来のASIC用自動配線処理ツールにおける内部回路部分処理する機能を、そのまま入・出力バッファも含めた全チップ設計ツールとして用いることにより、基本的なアルゴリズムを変更することなしに適用できるようになった。その結果、従来のASICの自動設計手法では実現できなかった極めて自由度の高い入・出力バッファの配置が可能になり、従来ASICの自動設計手法を基本的に損うことなくチップ面全域にアレイ状にチップ端子を配列する端子密度の高い形態を自動設計手法で実現できるようになり、このために従来ASICでありがちな入・出力バッファ数と内部回路規模のアンバランスから生じる空きスペースの発生が激減できるので、このような場合のチップコストが低減できる。また実装ボード上の諸環境を含めた特性および性能を得る上でのチップ設計の自由度が高まり、さらにはテスト治具の標準化がより容易化される一方、1列状をなす入・出力バッファの配列は、チップ全体としての入・出力バッファの配置位置の自由度が上ったにも関わらず、そこへの電源配線の接続はかかる配線を引き回すことなくマクロブロック設計の処理の一部として簡易に行なえ、そのマクロブロック内配線処理そのものを自動化できる可能性をも示唆している、という多くの効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す設計フローチャートである。

【図2】本実施の形態で扱うことのできるLSI回路の一例である。

【図3】セルを最小単位とする区画定義を行ったときの平面図である。

【図4】図2の回路について実施したフロアプランの図である。

【図5】チップ実装ボードの平面図である。

【図6】双方向バッファQNのレイアウト図である。

【図7】図2の回路について実施した他のフロアプランの図である。

【図8】他の回路について実施したフロアプランの図である。

【図9】所定の内部領域とその周辺の領域とでブロック配置位置定義を変えた例の平面図である。

【図10】図9におけるボールバンプの配置を示す平面図である。

【図11】さらに他の回路について実施したフロアプランの図である。

【図12】テストパッドおよびチップ端子の配線接続を示した平面図である。

【図13】従来のゲートアレイやセルベースICなどのASICチップの配置の平面図を示した図である。

【図14】従来の設計手順を示す設計フローチャートである。

(11)

特開平9-69568

19

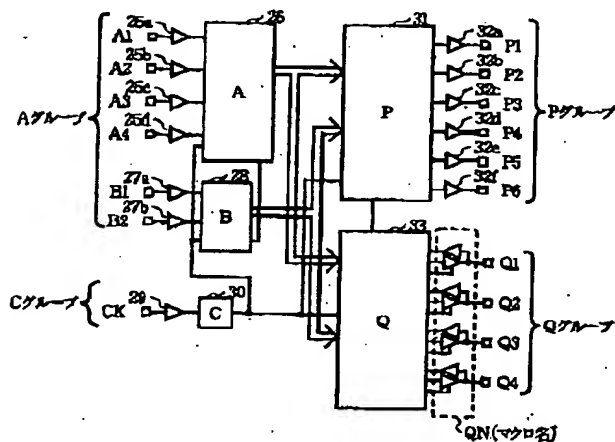
20

【符号の説明】

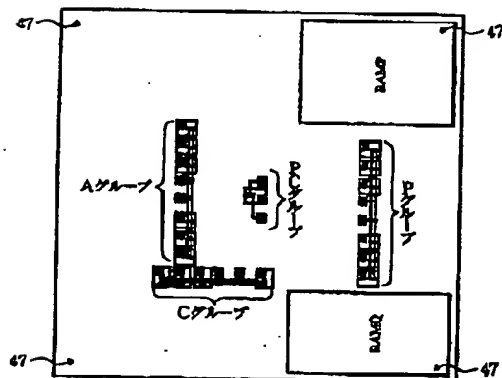
- 11～24, 71～81 処理工程
25a～25d, 27a, 27b, 28 入力バッファ
26 内部回路ブロックA
28 内部回路ブロックB
30 内部回路ブロックC
31 内部回路ブロックP
33 内部回路ブロックQ
32a～32f 出力バッファ
QN 双方向バッファのマクロ名
41a～41h, 49 チップ
42a, 42b, 42c, 42d 入・出力バッファ
43a, 43b 内部回路ブロック
44a, 44b, 44c ブロック配置位置定義領域
45 テストパッド

- * 46 ボールポンプ (チップ端子)
47 チップ平面化用ボールポンプ
48 チップ実装ボード
50 隣接する他のチップ
51 実装ボードの配線
52 第3層～第4層間スルーホール
53 第2層～第4層間スルーホール
54 小さなセルでも配置できる配置位置定義領域
55 1列状にグループ分けした入・出力バッファ群
10 を接続する線
56 さらにグループ分けした入・出力バッファ群を接続する線
57～61 内部回路ブロックの領域
62 内部回路領域
63 内部回路ブロック配置位置定義領域

【図2】

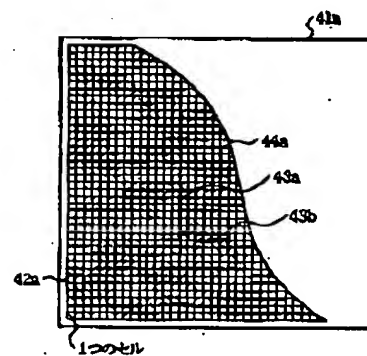


【図7】



47 チップ平面化用ボールポンプ

【図3】

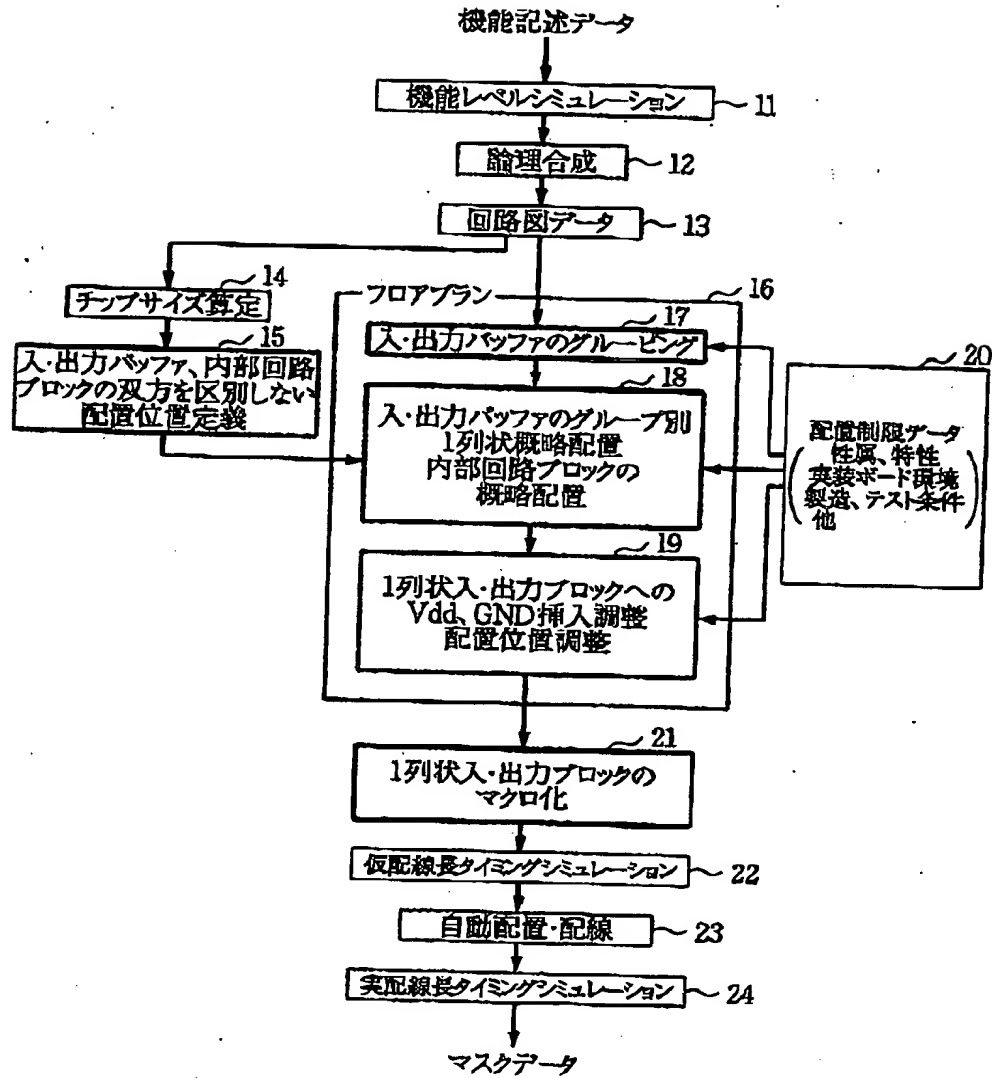


- 41a チップ
42a 入・出力バッファ
43a 内部回路ブロック各塊
43b 内部回路ブロック各塊
44a ブロック配置位置定義領域

(12)

特開平9-69568

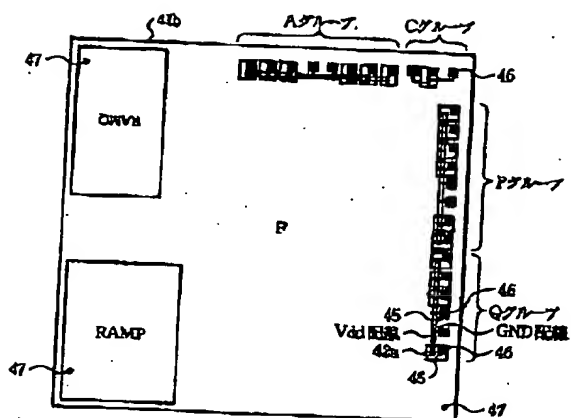
【図1】



(13)

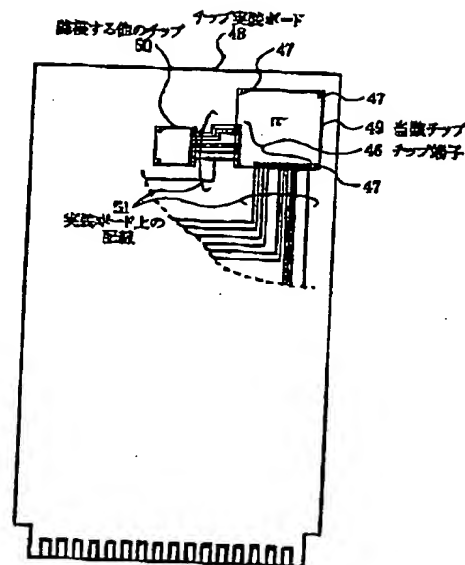
特開平9-69568

【図4】



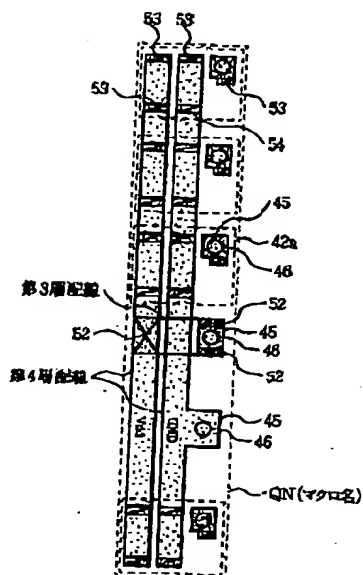
- 41b チップ
- 42a 入出力パッド
- 45 テストパッド
- 46 ボールバンプ(チップ端子)
- 47 チップ面平行化用ボールバンプ

【図5】



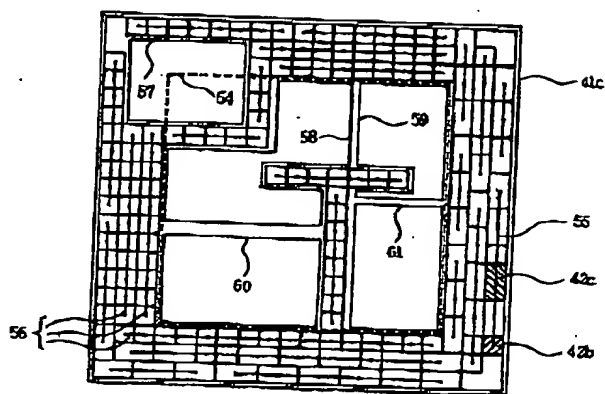
- 46 ボールバンプ(チップ端子)
- 47 チップ面平行化用ボールバンプ

【図6】



- 42a 入出力パッド
- 45 テストパッド
- 46 ボールバンプ(チップ端子)
- 52 第3層-第4層配線間スルーホール
- 53 第2層-第4層配線間貫通スルーホール

【図8】

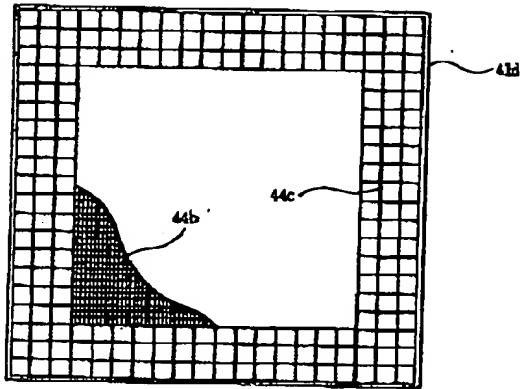


- 41c チップ
- 42b 入出力パッド(小)
- 42c 入出力パッド(大)

(14)

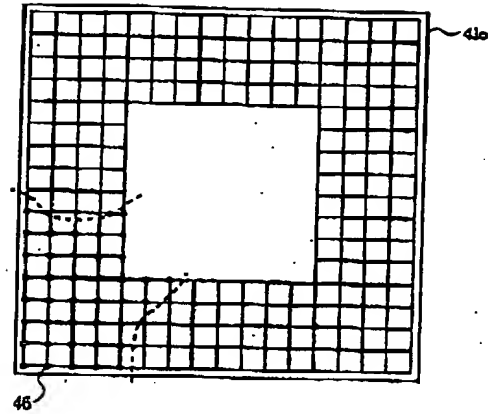
持開平9-69568

【 9 】



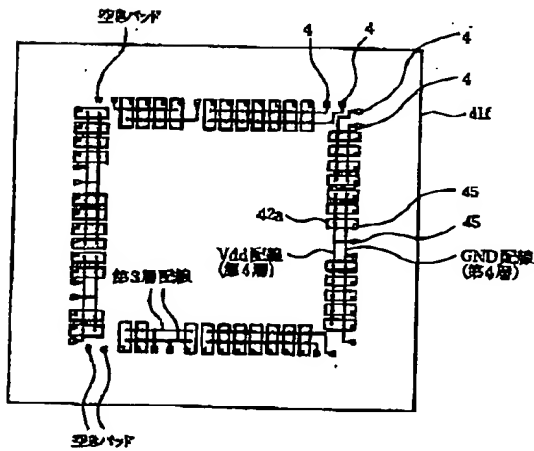
41d タイプ
44b ブロック配置位置定義(小)
44c ブロック配置位置定義(大)

【圖 10】



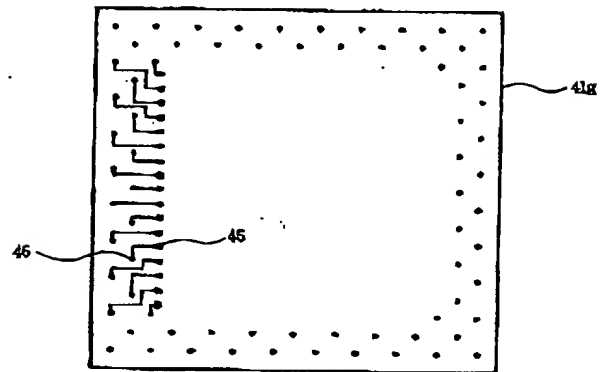
45 チップ
46 ボールチップ(チップ嚙子)

【圖 11】



41f チップ
42a 入・出力バタフ
45 サストランド

【圖 12】

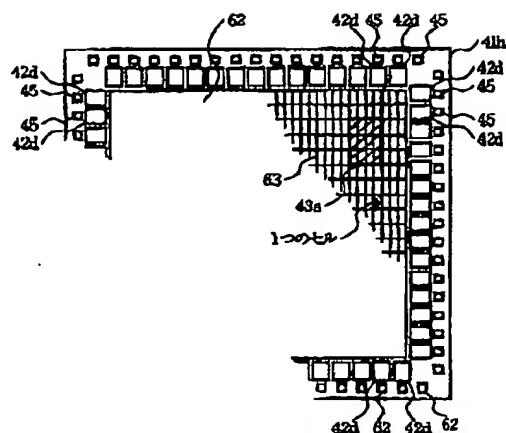


42 入出力バッファ
45 テストモード
48 ボールペン(チップ端子)

(15)

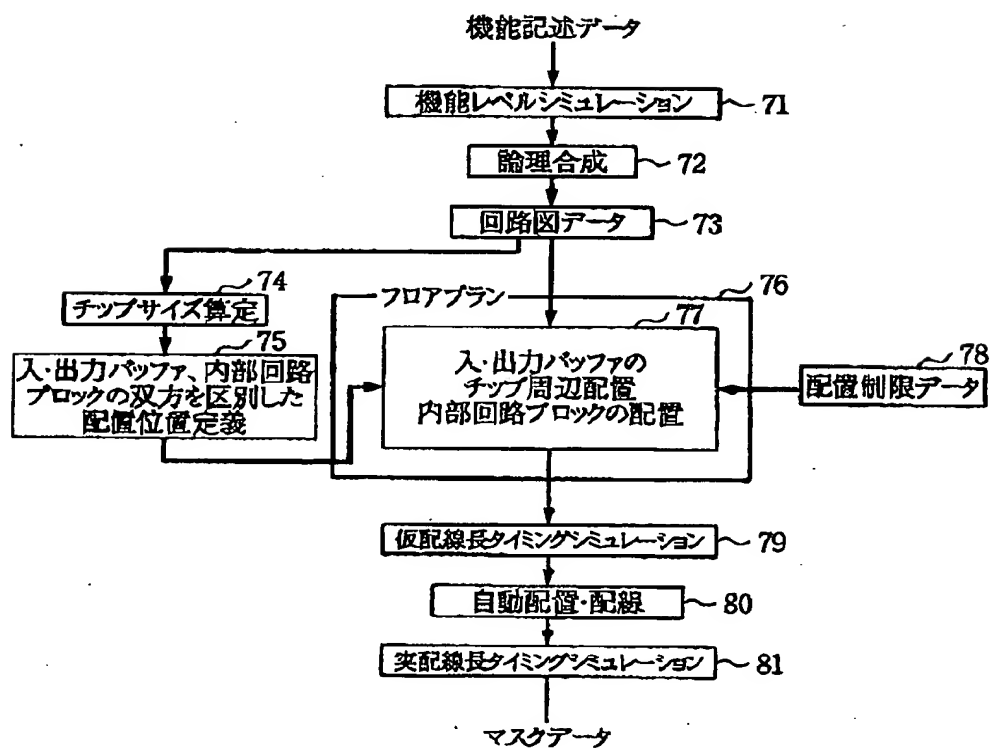
特開平9-69568

【図13】



- 41h タップ
- 42d 入・出力バッファ
- 43a 内部回路ブロック
- 45 バッド(タップ端子)
- 62 内部回路領域
- 63 内部回路ブロック配置位置定義領域

【図14】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.